

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-364603

(43)Date of publication of application : 17.12.1992

(51)Int.Cl.

H03K 5/04

(21)Application number : 03-140373

(71)Applicant : NEC CORP

NEC ENG LTD

(22)Date of filing :

12.06.1991

(72)Inventor :

NISHIDA HIROSHI

MATSUMOTO RYOJI

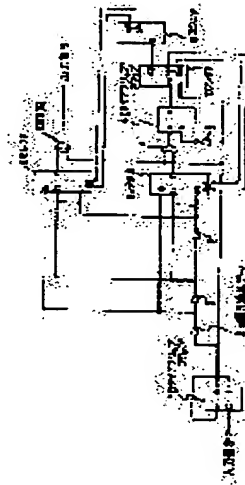
OKUBO NAOMI

(54) DUTY CORRECTION CIRCUIT IN SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To obtain the optimum duty independently of the manufacture dispersion, a temperature change and a voltage fluctuation by automating the duty correction for the semiconductor integrated circuit.

CONSTITUTION: A selector 3 selects sequentially inputs I0, I1, I2... with an output of a counter 7 and the selected output is phase-compared with an output of a D-FF1 at an AND circuit 4. When a deviation in the phase is 50% or below, since an output of the AND circuit 4 is logical '1', the counter 7 counts up and a signal with a large delay by one delay gate is outputted to the output of the selector 3 and when the phase deviation reaches 50%, the output of the circuit 4 is '0' to stop the operation of the counter 7. In this case, the count of a counter 8 is a half of the count of the counter 7, a selector 9 outputs a signal with a 25% phase delay with respect to the signal of the D-FF1. An output, of an EX-OR circuit 10 receiving outputs of the selector 9 and the D-FF1 outputs a signal with a same period as that of an input signal whose duty is 50%.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-364603

(43) 公開日 平成4年(1992)12月17日

(51) Int.Cl.⁵

H 0 3 K 5/04

識別記号

庁内整理番号

7125-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数 1 (全 3 頁)

(21) 出願番号 特願平3-140373

(22) 出願日 平成3年(1991)6月12日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72) 発明者 西田 宏

東京都港区芝五丁目7番1号日本電気株式
会社内

(72) 発明者 松本 亮治

東京都港区西新橋三丁目20番4号日本電気
エンジニアリング株式会社内

(74) 代理人 弁理士 熊谷 雄太郎

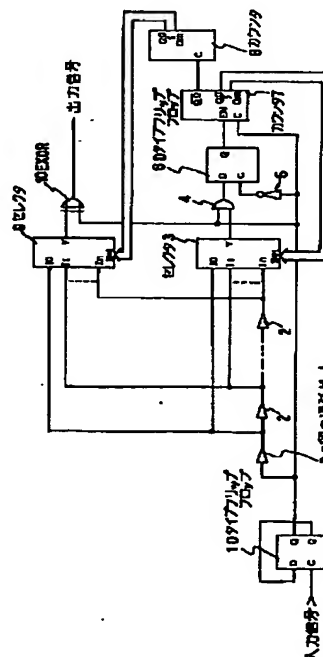
最終頁に続く

(54) 【発明の名称】 半導体集積回路におけるデューティ補正回路

(57) 【要約】

【目的】 半導体集積回路のデューティ補正を自動化することにより、製造ばらつき、温度変化、電圧変動に関係なく最適なデューティを得る。

【構成】 セレクタ3はカウンタ7の出力により入力I0、I1、I2・・・を順次選択しこれらの選択出力はAND回路4によりD-FF1の出力と位相比較される。位相のずれが50%以下の時にはAND回路4の出力が“1”のためにカウンタ7はカウントアップし、セレクタ3の出力に遅延ゲート1個分の遅延量の大きい信号を出力するが、位相のずれが50%になった時にAND回路4の出力は“0”となりカウンタ7の動作を止める。この時カウンタ8の値はカウンタ7の値の1/2となっており、セレクタ9はD-FF1の信号に対し25%位相の遅れた信号を出力している。このためにセレクタ9とD-FF1の出力を入力とするEX-OR回路10の出力はデューティ50%の入力信号と同周期の信号を出力する。



【特許請求の範囲】

【請求項1】 入力信号を2分周する分周回路と、前記分周回路の出力を n (n は正の整数)個の同一遅延をもつ遅延ゲートにより順次遅延させる遅延回路と、前記遅延回路の n 個の遅延ゲートの各出力を前記分周回路の出力と順次比較することにより前記分周回路の出力と位相が50%遅れている前記遅延回路の遅延ゲートの個数を検出する位相検出回路と、前記位相検出回路により検出された遅延ゲートの個数の半分の遅延ゲートの個数を持つ遅延ゲートの出力を出力とするセレクト回路と、前記セレクト回路の出力と前記分周回路の出力を入力とする排他的論理和ゲートを備えることを特徴とする半導体集積回路におけるデューティ補正回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路に関し、特に、半導体集積回路におけるデューティ補正回路に関する。

【0002】

【従来の技術】 従来の半導体集積回路におけるデューティ補正は、入力信号にゲートを接続し、この接続したゲートの立ち上がり、立ち下りの遅延時間の差を利用して行われていた。

【0003】

【発明が解決しようとする課題】 この従来の半導体集積回路におけるデューティ補正回路では、ゲートの立ち上がり、立ち下りの遅延時間の差を利用して行っていたために製造ばらつき、温度変化、電圧変動により、ゲートの立ち上がり、立ち下りの遅延時間の差が設計時の見積もりと異なった時には正確なデューティが得られないという課題があった。

【0004】 本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決することを可能とした半導体集積回路における新規なデューティ補正回路を提供することにある。

【0005】

【課題を解決するための手段】 上記目的を達成する為に、本発明に係る半導体集積回路におけるデューティ補正回路は、入力信号を2分周する分周回路と、前記分周回路の出力を n 個の同一遅延をもつ遅延ゲートにより順次遅延させる遅延回路と、前記遅延回路の n 個の遅延ゲートの各出力を前記分周回路の出力と順次比較することにより前記分周回路の出力と位相が50%遅れている前記遅延回路の遅延ゲートの個数を検出する位相検出回路と、前記位相検出回路により検出された遅延ゲートの個数の半分の遅延ゲートの個数を持つ遅延ゲートの出力を出力とするセレクト回路と、前記セレクト回路の出力と前記分周回路の出力を入力とするEX-OR (排他的論理和) ゲートとを備えて構成される。

【0006】

【実施例】 次に本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0007】 図1は本発明に係る半導体集積回路におけるデューティ補正回路の一実施例を示す回路ブロック構成図、図2は図1に示した回路のタイミングチャートである。

【0008】 図1を参照するに、入力信号は、Dタイプフリップフロップ (以下D-FFと称す) 1により2分周され、分周回路 (D-FF1) の出力は n 個の遅延ゲート2により順次遅延され、各遅延ゲートの出力は、セレクト3、セレクト9のデータ入力に入力される。セレクト3の出力とD-FF1の出力は、AND回路4に入力され、位相比較が行われる。

【0009】 AND回路4による位相比較の結果位相のずれが50%以下の時にはD-FF6に“1”がラッチされ、位相のずれが50%以上の時にはD-FF6に“0”がラッチされ、カウンタ7のイネーブル入力ENに入力される。

【0010】 カウンタ7は、イネーブルENが“1”の時にカウントアップし、“0”の時には値を保持する。カウンタ7の出力は、セレクト3の制御信号に入力され、セレクト3の出力を制御する。カウンタ8は、カウンタ7の-Q0の出力をクロック入力とし、カウンタ7の半分の値を値として持つ。カウンタ8の出力はセレクト9の制御信号に入力され、セレクト9はセレクト3が出力している信号の半分の遅延量を持った信号を出力する。セレクト9とD-FF1の出力はEX-OR (排他的論理和) 回路の入力に接続され、EX-OR回路10の出力は出力信号として出力される。

【0011】 次に図2のタイムチャートをも参照しながら本発明の動作について説明する。セレクト3はカウンタ7の出力により入力I0、I1、I2・・・を順次選択しこれらの選択出力はAND回路4によりD-FF1の出力と位相比較される。位相のずれが50%以下の時には、AND回路4の出力が“1”のために、カウンタ7はカウントアップし、セレクト3の出力に遅延ゲート1個分の遅延量の大きい信号を出力するが、位相のずれが50%になった時にAND回路4の出力は“0”となり、カウンタ7の動作を止める。この時カウンタ8の値はカウンタ7の値の1/2となっており、セレクト9は、D-FF1の信号に対し、25%位相の遅れた信号を出力している。このためにセレクト9とD-FF1の出力を入力とするEX-OR回路10の出力はデューティ (Duty) 50%の入力信号と同周期の信号を出力する。

【0012】

【発明の効果】 以上説明したように、本発明によれば、半導体集積回路におけるデューティ補正を自動で行えるようにしたので、製造ばらつき、温度変化、電圧変動に

関係なく、最適なデューティが得られるという効果が発生する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路ブロック構成図である。

【図2】図1に示した半導体集積回路におけるデューティ補正回路の一実施例の各部におけるタイミングチャートである。

【符号の説明】

1…Dタイプフリップフロップ (D-FF)

10

2… n 個の遅延ゲート

3…セクタ

4…AND回路

5…インバータ

6…Dタイプフリップフロップ (D-FF)

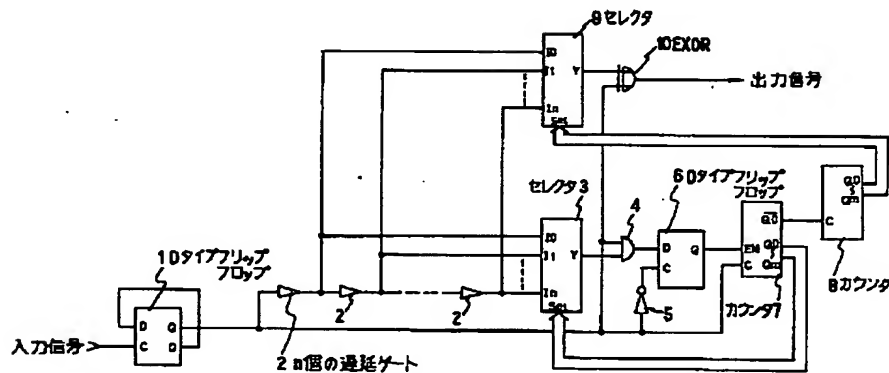
7…カウンタ

8…カウンタ

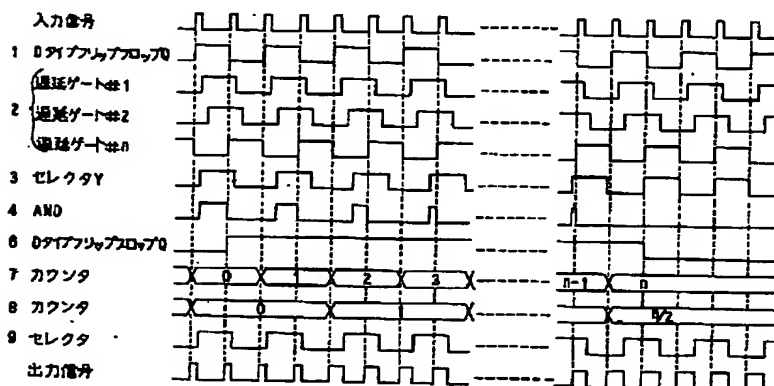
9…セクタ

10…EX-OR回路

【図1】



【図2】



フロントページの続き

(72)発明者 大久保 尚美

東京都港区西新橋三丁目20番4号日本電気
エンジニアリング株式会社内